



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

J1046 US PRO
10/07/847
02/20/02

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 08 月 03 日

Application Date

申請案號：090119092

Application No.

申請人：力捷電腦股份有限公司

Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 1 月 28 日

Issue Date

發文字號：09111001402

Serial No.

申請日期：2001.8.3

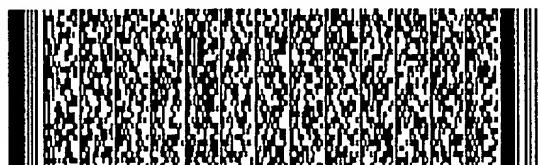
案號：90119092

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有延伸式通用輸出入接腳之電路架構
	英 文	
二、 發明人	姓 名 (中文)	1. 李官祐 2. 李鎮河
	姓 名 (英文)	1. Kuan-Yu Lee 2. Chen-Ho Lee
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台中市長安路二段97號 2. 新竹市明湖路1050巷53號4樓
三、 申請人	姓 名 (名稱) (中文)	1. 力捷電腦股份有限公司
	姓 名 (名稱) (英文)	1. UMAX DATA SYSTEMS INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣科學工業園區研發二路1-1號
	代表人 姓 名 (中文)	1. 黃崇仁
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：具有延伸式通用輸出入接腳之電路架構)

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明是有關於一種控制電路，且特別是有關於一種具有通用輸出入接腳之電路架構。

【發明背景】

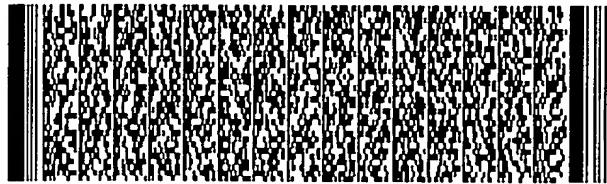
一台具有高度競爭力的掃描器，必然具有一顆功能強大的控制處理單元來負責複雜的運算工作，就目前而言，一般是以特殊應用積體電路（Application Specific Integrated Circuit，以下簡稱ASIC）來作為控制處理單元，以符合設計需求。在實際應用上，ASIC可用來使掃瞄器進行影像掃瞄、影像處理、放大、縮小及資料輸入、輸出等動作，也正因為如此，ASIC的接腳(pin)數目眾多，控制十分複雜。在眾多接腳當中，研發人員可利用通用輸出入（General Purpose Input Output pin，以下簡稱GPIO）接腳作為資料的出入口，以進行資料的傳輸。舉例



五、發明說明 (2)

來說，當使用者按下掃描器的功能按鍵時，掃描器便可藉由GPIO接腳將此輸入信號饋入ASIC並加以處理，使掃描器能針對此輸入信號加以反應；當然，若掃描器需要將資料輸出，一樣可利用ASIC將資料由GPIO接腳送出，以進行後續的資料處理工作。

由於現今的掃描器市場競爭激烈，是以各家廠商所推多種的附加功能，除了要具備基本的掃描功能之外，還需具備附加功能，以做為市場區隔，增加佔有率。舉例來說，目前的掃描器也可提供影印、傳真及傳送電子影像是，雖然的掃描硬體設計上，卻也因此而需要增加ASIC的GPIO接腳數目，以滿足多功能的設計需求。例如說，掃描器原本使用具有100個接腳的ASIC，而在扣除必要功能所用的接腳後，只剩下6個接腳可做為GPIO接腳；但由於功能按鍵的增加，使得掃描器需要更多的(例如10個)GPIO接腳，所以製造廠商需要使用具有104個接腳的ASIC。但是，由於封裝技術的限制，使得特殊應用積體電路的接腳數無法隨心所欲的增加，譬如僅能以100個，125個接腳…的方式增加。因此，廠商勢必得使用具有125個接腳的特殊應用積體電路來作為掃描器的特殊應用積體電路，因此不但浪費了沒使用到的接腳，而且使用接腳數多的特殊積體電路還會增加成本，使產品的產業利用性降低。



五、發明說明 (3)

〔發明目的及概述〕

有鑑於此，本發明的目的就是在提供一種具有延伸式通用輸出入接腳之電路架構，以擴充既有的GPIO接腳功能，降低生產成本。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【較佳實施例】

請參照第2圖，其繪示依照本發明一較佳實施例所提供的具有延伸式通用輸出入接腳之電路架構示意圖。圖式

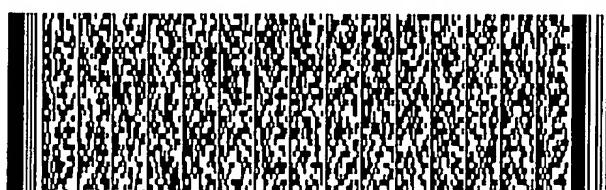
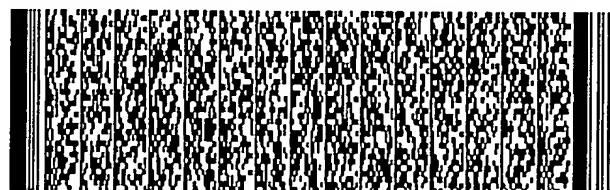


五、發明說明 (4)

中控制處理單元110例如是特殊應用積體電路 (Application Specific Integrated Circuit, ASIC)，並與記憶體120電性連接。如圖所示，控制處理單元110具有資料接腳P1, P2, P3, P4, P5, P6, P7, P8，並分別與記憶體120中的記憶體接腳MP1, MP2, MP3, MP4, MP5, MP6, MP7, MP8連接。需要注意的是，圖式中的記憶體120具有需要再補充 (refresh) 的特性，例如動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM)，因此充電信號RC會以一固定週期對記憶體120充電，以維持記憶體120內所儲存的資料，使其不致流失。

一般而言，控制處理單元110與記憶體120之間的匯流排用來進行記憶體120與控制處理單元110之間的資料傳輸，但是，當充電信號RC對記憶體120進行再補充之時，記憶體120與控制處理單元110之間並不會傳輸資料，故此時匯流排會處於閒置的狀態。而本發明便是利用記憶體120充電時的空檔，藉由匯流排將輸入信號饋入控制處理單元110的資料接腳，或將控制處理單元110的輸出信號藉由匯流排輸出，如此一來，便可視為此等電路架構具有延伸式的GPIO接腳，其具體實施方式將於下文中加以說明。

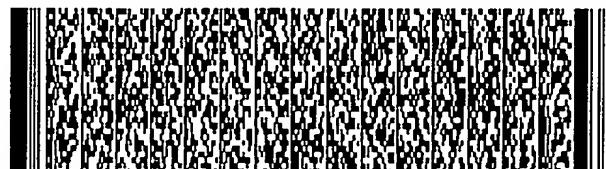
在實際應用上，可將緩衝器130的接腳BP1, BP2, BP3, BP4分別與控制處理單元110的資料接腳P1, P2, P3, P4電性連接，並接收來自於控制處理單元110的控制信號CS，如圖式中所繪示。需要注意的是，在設計上控制信號CS可與充電信號RC同步，因此當記憶體120進行充電時，



五、發明說明 (5)

控制信號CS便會將緩衝器130致能 (enable)，令緩衝器130進入活動(active)狀態。而在緩衝器130處於活動狀態的這段時間裡，控制處理單元110亦可偵測到緩衝器130各接腳的狀態變化，若先前緩衝器130中有暫存一輸入信號Si，當緩衝器130被致能後便可將輸入信號Si饋入控制處理單元110中，使控制處理單元110相應於輸入信號Si進行後續的資料處理工作。也就是說，此時可將緩衝器130視為一個輸入信號緩衝器，而控制處理單元110會將資料接腳P1, P2, P3, P4所接收到的信號當作輸入信號來處理。

以緩衝器130為一個輸入信號緩衝器為例，當使用者按下開始掃瞄的按鍵後，緩衝器130會接收到一個表示開始掃瞄的輸入信號Si，而且緩衝器130會先將此輸入信號Si儲存(latch)起來，待記憶體120接收到充電信號RC並開始充電的同時，控制處理單元110亦會將控制信號CS饋入緩衝器130使其致能，進而將輸入信號Si饋入控制處理單元110之資料接腳P1，而後，控制處理單元110便可針對輸入信號Si加以處理。簡單地說，資料接腳P1在記憶體120充電的時間內是作為控制處理單元110接收輸入信號Si的接腳，而由於一般按鍵的時間長度(例如約為100-400ms)較記憶體的充電週期(例如約為7ms)要來得長，因此輸入信號Si一定可以被控制處理單元110偵測到。再者，緩衝器130必須是一個能被外部信號，例如是控制信號CS所控制其活動狀態的緩衝器130，例如型號為74HC/HCT244的緩衝器即是。



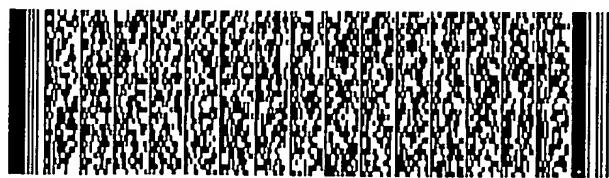
五、發明說明 (6)

另一方面，可將緩衝器140的接腳BP5, BP6, BP7, BP8分別與控制處理單元110的資料接腳P5, P6, P7, P8電性連接，並接收來自於控制處理單元110的控制信號CS，如圖式中所繪示。當記憶體120進行充電時，控制信號CS便會將緩衝器140致能，令緩衝器140進入活動狀態。而在緩衝器140處於活動狀態的這段時間裡，控制處理單元110可將輸出信號S₀自資料接腳P5饋入緩衝器140中，並藉由緩衝器140將輸出信號S₀輸出。也就是說，此時可將緩衝器140視為一個輸出信號緩衝器，例如型號為TC74/HC374的緩衝器即是，而將控制處理單元110之資料接腳P5, P6, P7, P8視為信號的輸出端。

簡單地說，由於此等電路架構可利用記憶體進行再補充時藉由既有的匯流排進行資料傳輸，亦即控制處理單元110之資料接腳除了可用來存取記憶體120之資料外，更可利用記憶體120進行再補充時充當GPIO接腳之用，故可稱此等電路為具有延伸式GPIO接腳之電路架構。需要注意的是，饋入緩衝器130, 140之控制訊號CS並不限於必然由控制處理單元110所發出，亦可由其他元件所發出而達到相同之功能。

【發明效果】

本發明上述實施例所揭露之具有延伸式通用輸出入接腳之電路架構，可以在不需要增加積體電路的總接腳數之情況下，彈性地增加積體電路之通用輸出入接腳，進而降



五、發明說明 (7)

低生產成本，提高產業利用性。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式之簡單說明】

第1圖繪示依照本發明一較佳實施例所提供的具有延伸式通用輸出入接腳之電路架構示意圖。

【圖式標號說明】

110：控制處理單元

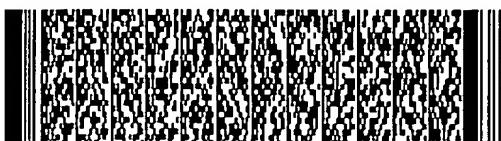
120：記憶體

130：緩衝器

130：緩衝器

RC：充電信號

CS：控制信號



六、申請專利範圍

1. 一種具有延伸式通用輸出入 (General Purpose Input Output, GPIO) 接腳之電路架構，包括：

一記憶體，配置有一記憶體接腳，且該記憶體係藉由一充電信號維持該記憶體內所儲存的資料；

一控制處理單元，該控制處理單元具有一資料接腳，且該資料接腳係與該記憶體接腳電性連接；以及

一緩衝器，與該資料接腳電性連接，用以接收一輸入信號並依據與該充電信號同步之一控制信號將該輸入信號饋入該控制處理單元。

2. 如申請專利範圍第1項所述之具有延伸式通用輸出入接腳之電路架構，其中該控制處理單元係特殊應用積體電路 (Application Specific Integrated Circuit, ASIC) 。

3. 如申請專利範圍第1項所述之具有延伸式通用輸出入接腳之電路架構，其中該緩衝器之型號為 74HC/HCT244 。

4. 如申請專利範圍第1項所述之具有延伸式通用輸出入接腳之電路架構，其中該記憶體係動態隨機存取記憶體。

5. 如申請專利範圍第1項所述之具有延伸式通用輸出入接腳之電路架構，其中該控制信號係由該控制處理單元所發出。

6. 一種具有延伸式通用輸出入接腳之電路架構，包括：



六、申請專利範圍

一記憶體，配置有一記憶體接腳，且該記憶體係藉由一充電信號維持該記憶體內所儲存的資料；

一控制處理單元，該控制處理單元具有一資料接腳，且該資料接腳係與該記憶體接腳電性連接；以及

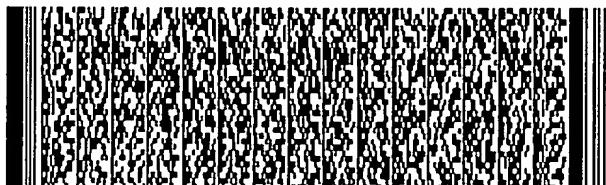
一緩衝器，與該資料接腳電性連接，用以輸出自該控制處理單元所饋入之一輸出信號，其中，該緩衝器係依據與該充電信號同步之一控制信號輸出該輸出信號。

7. 如申請專利範圍第6項所述之具有延伸式通用輸出入接腳之電路架構，其中該控制處理單元係特殊應用積體電路。

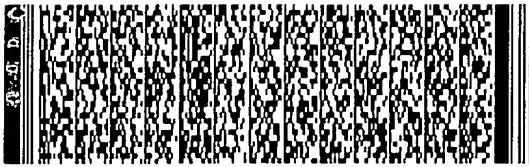
8. 如申請專利範圍第6項所述之具有延伸式通用輸出入接腳之電路架構，其中該緩衝器之型號為TC74/HC374。

9. 如申請專利範圍第6項所述之具有延伸式通用輸出入接腳之電路架構，其中該記憶體係動態隨機存取記憶體。

10. 如申請專利範圍第6項所述之具有延伸式通用輸出入接腳之電路架構，其中該控制信號係由該控制處理單元所發出。



第 1/13 頁



第 2/13 頁



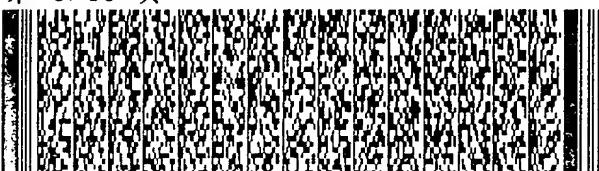
第 4/13 頁



第 4/13 頁



第 5/13 頁



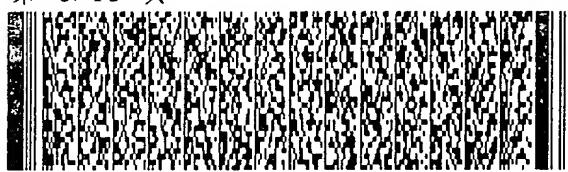
第 5/13 頁



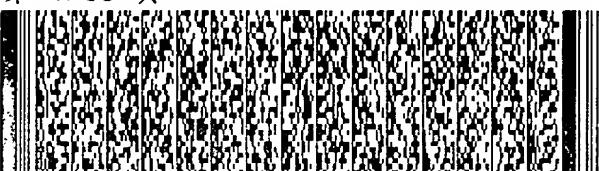
第 6/13 頁



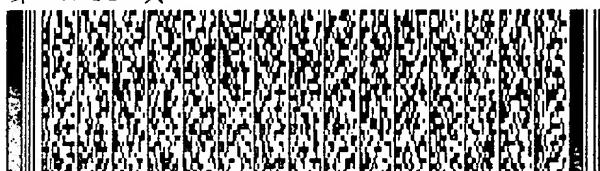
第 6/13 頁



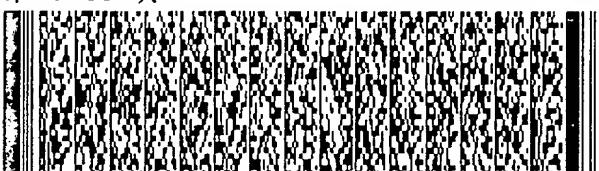
第 7/13 頁



第 7/13 頁



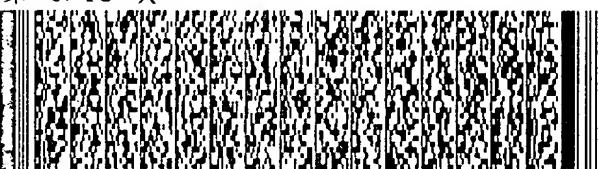
第 8/13 頁



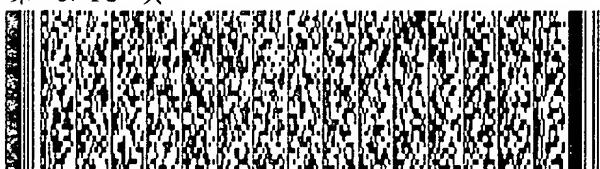
第 8/13 頁



第 9/13 頁



第 9/13 頁



第 10/13 頁



第 11/13 頁



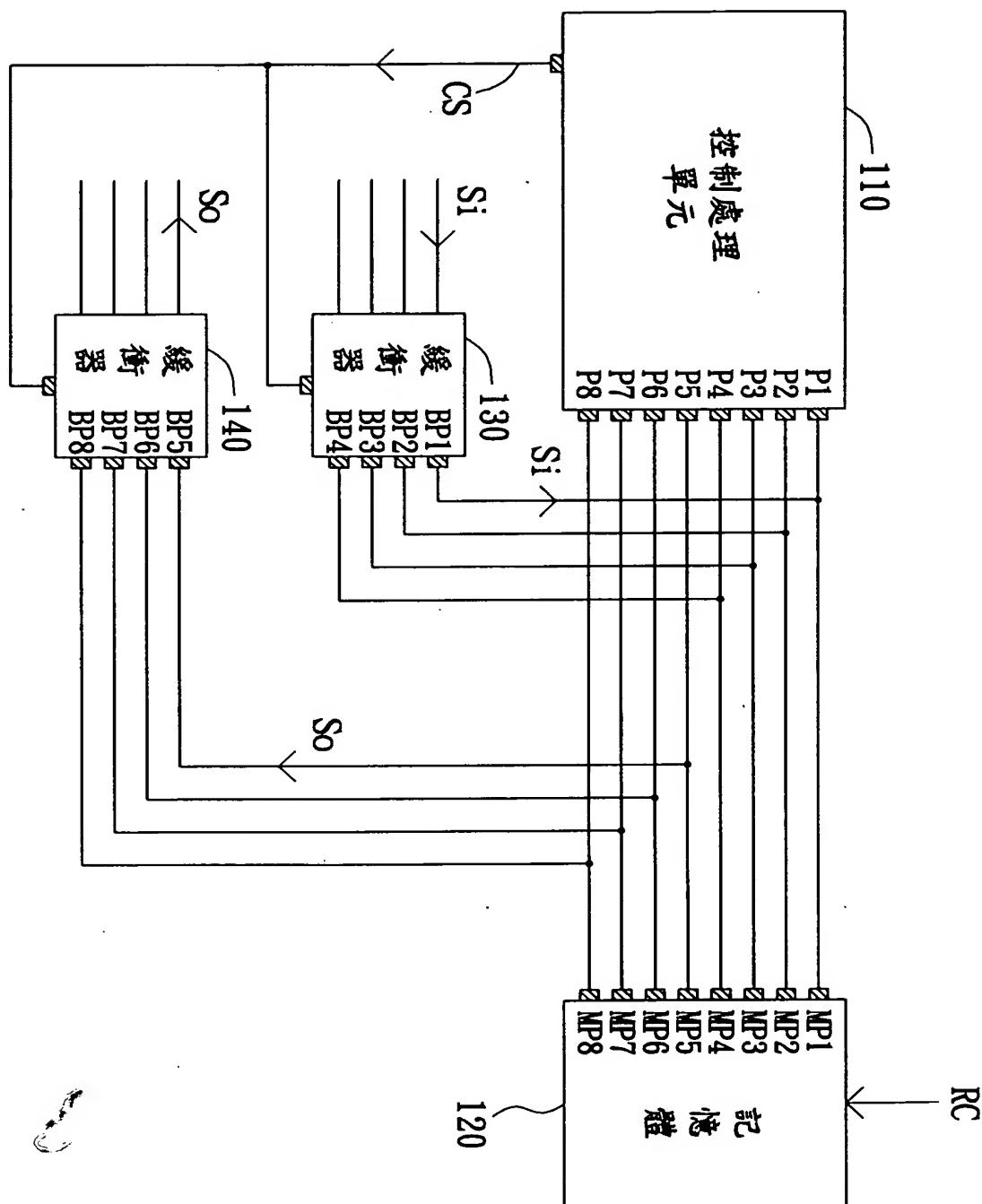
BEST AVAILABLE COPY

申請案件名稱：具有延伸式通用輸出入接腳之電路架

第 12/13 頁

第 12/13 頁

第 13/13 頁



第一圖